

Introducción a los Sistemas Lógicos y Digitales

EJERCICIOS RESUELTOS

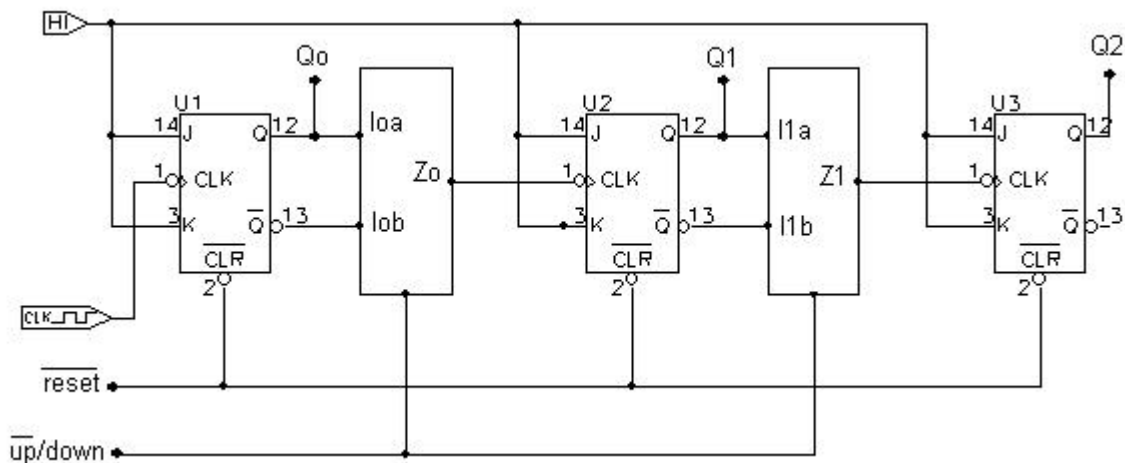
T.P. N° 6: CONTADORES

- 1) Implementar un contador asincrónico binario progresivo-regresivo de 3 bits con entradas de clock y reset asincrónico, empleando flip flops JK disparados por flanco descendente y entradas asincrónicas de /Clear y multiplexores 2:1.

Dibujar a escala un diagrama de tiempos mostrando para el caso regresivo los retardos que se generan en todos los componentes del contador para cada transición del reloj durante un ciclo completo de conteo (desde 000 hasta el próximo 000 inclusive). Considerar que el período del reloj es 6 veces mayor que los retardos de propagación de los flip flops y del de los multiplexores.

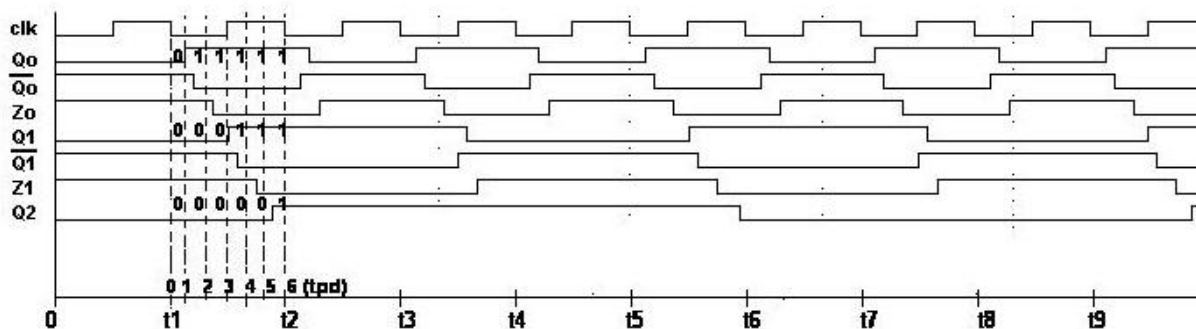
Indicar cuál es la limitación en el uso de este tipo de contador, justificándolo matemáticamente y generalizándolo para n bits.

El diagrama del circuito eléctrico del contador será:



donde: up/down = 0 (conteo progresivo), $Z_0 = I_{0a}$, $Z_1 = I_{1a}$
up/down = 1 (conteo regresivo), $Z_0 = I_{0b}$, $Z_1 = I_{1b}$

El diagrama de tiempos para el caso regresivo y un ciclo completo de conteo se observa en la siguiente figura:



Observar que se han graficado los códigos inválidos que se generan durante el primer ciclo de conteo regresivo (de 000 a 111) que corresponden a: 001 ($t_1 + t_{pd}$), 001 ($t_1 + 2 t_{pd}$), 001 ($t_1 + 3 t_{pd}$), 011 ($t_1 + 4 t_{pd}$), 011 ($t_1 + 5 t_{pd}$), suponiendo un t_{pd} similar tanto para los flip flops como para los multiplexores).

En forma similar pueden obtenerse los códigos inválidos para el resto de los ciclos de reloj hasta llegar a t_8 .

Para el cálculo de la frecuencia máxima de clk , suponemos que $t_{pd}(FF) = t_{pd}(mux) = t_{pd}$

El período mínimo será: $T_{\min}(clk) \geq t_{\text{set up } FF} + 5 t_{pd}$

Por lo tanto: $f_{\max}(clk) \leq (t_{\text{set up } FF} + 5 t_{pd})^{-1}$

Generalizando para un circuito similar pero de n bits:

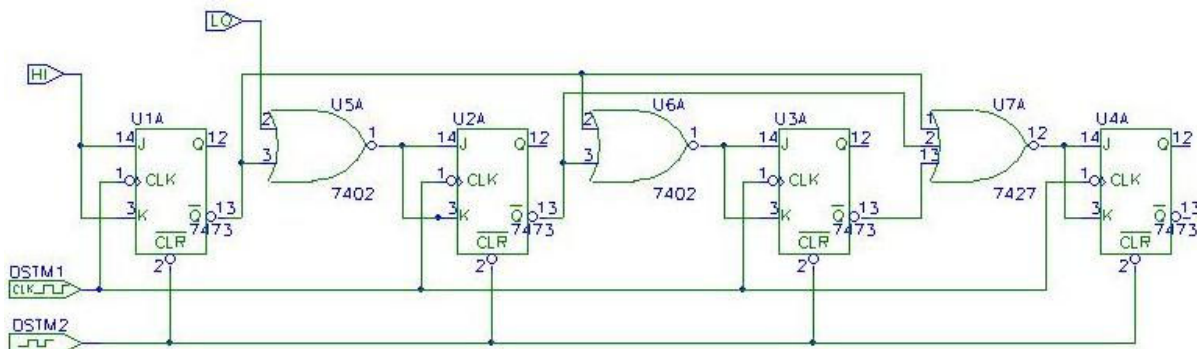
$$n_{FF} + (n-1)_{mux} = (2n - 1) t_{pd}$$

Por lo tanto: $f_{\max}(clk) \leq [t_{\text{set up } FF} + (2n-1) t_{pd}]^{-1}$

La desventaja de este tipo de contadores es que la frecuencia de operación está limitada en proporción directa al número de etapas conectadas en cascada.

- 2) a) Dibujar un contador síncrono binario de 4 bits implementado con flip flops tipo JK7473 (disparados por flanco descendente) y compuertas NOR, una por cada entrada de flip flop. Dibujar los diagramas de tiempo a escala de las salidas de los flip flop y de las NORs.
- b) Dibujar los diagramas de tiempos entre una etapa i e $i+1$ a fin de calcular la máxima frecuencia de operación posible, considerando los retardos de todos los componentes.

El esquema del circuito completo será:



donde DSTM1 es el generador de reloj y DSTM2 la señal que resetea los flip flops para iniciar el conteo. HI y LO equivalen a un “1” y un “0” lógico respectivamente.

La salida (Q1) del primer flip flop U1A cambia cada ciclo de clock.

La de U2A cambia cada 2 ciclos de clk, cuando Q1=1.

La de U3A cambia cada 4 ciclos, cuando Q1=1 y Q2=1.

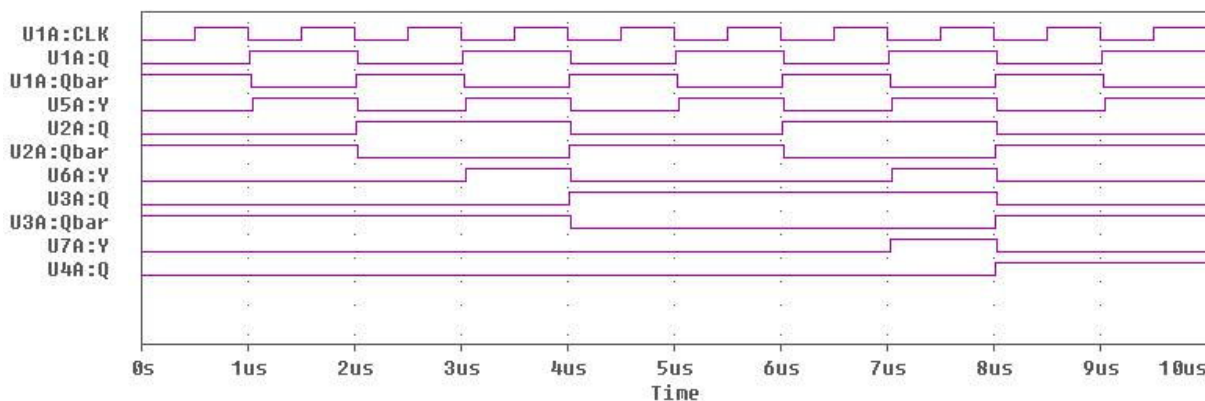
Finalmente, la de U4A cambia cada 8 ciclos, cuando Q1=Q2=Q3=1.

$$J2 = K2 = \overline{\overline{Q1}} + 0 = Q1$$

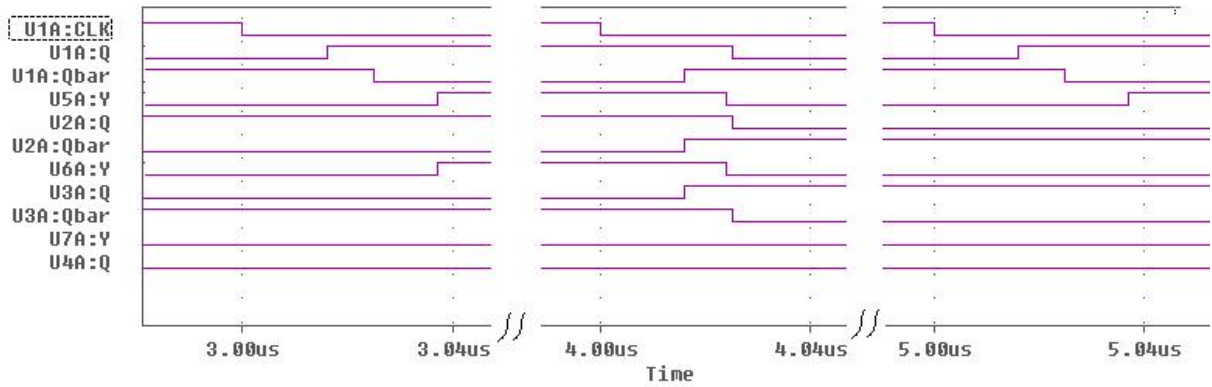
$$J3 = K3 = \overline{\overline{Q1} + \overline{Q2}} = Q1 \cdot Q2$$

$$J4 = K4 = \overline{\overline{\overline{Q1} + \overline{Q2} + \overline{Q3}}} = Q1 \cdot Q2 \cdot Q3$$

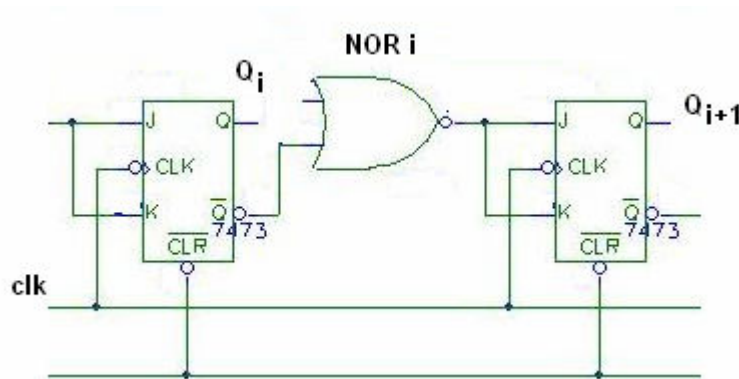
La simulación de este circuito para un período de clock de 1 µs y 10 ciclos de clock da el siguiente diagrama de tiempos, donde se muestran las salidas de los 4 flip flops, negadas y sin negar (Qbar y Q) junto con las salidas de cada compuerta NOR:



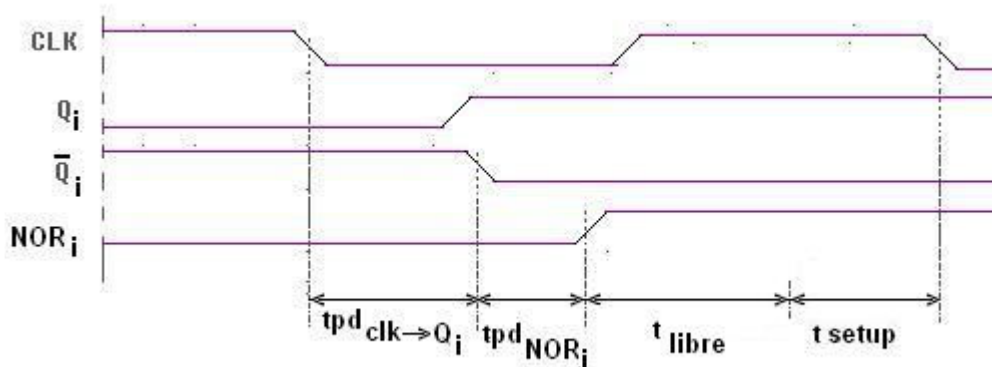
En la siguiente figura se observa una ampliación de algunos tramos de la gráfica anterior en donde pueden observarse con mayor detalle los retardos generados en las señales:



b) Para calcular la frecuencia máxima de operación, consideramos la siguiente etapa genérica:



Los diagramas de tiempo correspondientes a esta etapa serán:



La frecuencia máxima de operación corresponderá a un valor de t_{libre} nulo, en cuyo caso:

$$f_{m\acute{a}x} = \frac{1}{tpd_{clk \rightarrow Q} + t_{setup} + tpd_{NOR}}$$